

Patent/Publication Number 476915
 Title Method and apparatus for thread switching within a multithreaded processor
 Issued/Publication Date 2002/02/21
 Application Date 2000/05/03
 Application Number 089108132
 Certification Number 150596
 IPC G06F-009/46;G06F-009/38
KALAFATIS, STAVROS GB;
 Inventor KYKER, ALAN B. US;
FISCH, ROBERT D. US
 Applicant INTEL CORPORATIONUS
 Priority Number 19990429 US 19990302633

Abstract A method of performing a thread switching operation within a multithreaded processor. The dispatch of a first predetermined quantity of instruction information for a first thread, from an instruction streaming buffer to an instruction pre-decoder within the multithreaded processor, is detected. Responsive to the detection of the dispatch of the first predetermined quantity of instruction information for the first thread, a thread switching operation is performed with respect to the output of the instruction streaming buffer. The dispatch of instruction information for a second thread from the instruction streaming buffer is thus commenced. The utilization of processor resources is distributed between threads according to the quantity of instruction data for a particular thread that has been processed (or dispatch for processing), and not according to an arbitrary timing mechanism.

Individual
 Patent Right
 Change

Application Number	089108132
Date of Update	
Granting of a license	NO
Registration of patent mortgage	NO
Transfer of patent right	NO
Succession of patent right	NO
Registration of patent trust	NO
Opposition filed	NO
Request for Invalidation filed	NO
Date of lapse	
Patent revoked	
Date of grant	20020221
Scheduled expiry date	20200502
Due date of annual fee	20110220
Years of annuities paid	009

中華民國專利公報 [19] [12]

[11]公告編號：476915

[44]中華民國 91 年 (2002) 02 月 21 日

發明

全 19 頁

[51] Int.Cl.⁰⁷ : G06F9/46

G06F9/38

[54]名稱：用以於多線程處理器中切換線程之方法及裝置

[21]申請案號：089108132

[22]申請日期：中華民國 89 年 (2000) 05 月 03 日

[30]優先權：[31]09/302,633

[32]1999/04/29

[33]美國

[72]發明人：

史塔若斯 卡拉菲堤

美國

亞倫 B. 凱克

美國

羅伯 D. 費區

美國

[71]申請人：

英特爾公司

美國

[74]代理人：陳長文 先生

1

2

[57]申請專利範圍：

1. 一種在多線程處理器中進行線程切換作業之方法，該方法包含：

偵測來自多線程處理器內一指令資訊源對一第一線程之一第一預定指令資訊量之分配；及

響應於對第一線程之第一預定指令資訊量分配之偵測，開始對一來自該指令資訊源之第二線程之指令資訊分配。

2. 如申請專利範圍第 1 項之方法，其中對第一線程之第一預定指令資訊量分配之偵測包含維持從該指令資訊資源所分配之第一線程離散之指令資訊量計數，以及決定該離散之指令資訊量計數何時超過一第二預定臨界值。

3. 如申請專利範圍第 2 項之方法，其中對第一線程離散之指令資訊量分配之計數，包含在自該指令資訊源之離散指令資訊量之分配時，增量一計數器。

4. 如申請專利範圍第 2 項之方法，其中對

第一線程離散之指令資訊量分配之計數，包含在來自該指令資訊源之離散指令資訊量之分配時，減量一計數器。

5. 如申請專利範圍第 1 項之方法，其中該偵測包含在一可程式化儲存單元內容與一增量計數器內容間執行比較作業，該計數器維持來自該指令資訊源所分配之第一線程之離散指令資訊量之計數。

6. 如申請專利範圍第 1 項之方法，其中該偵測包含將預定臨界值從可程式化儲存單元載入一減數計數器做為初始值，並偵測該減量計數器暫存器何時為零值。

7. 如申請專利範圍第 1 項之方法，其中該指令資訊源包含一儲存單元，該單元受分割以將第一線程之指令資訊儲存於一第一分割及第二線程之指令資訊存於一第二分割，且其中對第二線程

指令資訊分配之開始包含操作線程選擇邏輯以選擇來自指令資訊源之第二分割而非第一分割之指令資訊做分配。

- 8.如申請專利範圍第1項之方法，包括決定第二線程之第二預定指令資訊量是否可用於從指令資訊源之分配，且僅當第二線程之第二預定指令資訊量可用於分配時才開始來自該指令資訊源第二線程之指令資訊分配。
- 9.如申請專利範圍第8項之方法，其中該指令資源包含一儲存單元，且其中第二線程之第二預定指令資訊量是否可用於從指令資訊源分配之決定，包含維持該儲存單元所收入之第二線程離散指令資訊量計數，並決定該儲存單元所收入之離散指令資訊量計數何時超過一第二預定臨界值。
- 10.如申請專利範圍第1項之方法，包括決定第一線程之一第三預定指令資訊量是否已從該指令資訊源分配，且僅當第一線程之第三預定指令資訊量已從該指令資訊源受分配時才開始來自該指令資訊源第二線程之指令資訊分配。
- 11.如申請專利範圍第10項之方法，其中該第三預定指令資訊量等於或大於第一指令組的全指令之最小指令資訊量。
- 12.如申請專利範圍第10項之方法，其中第一線程之第三預定指令資訊量是否已從該指令資訊源分配之決定，包含計數來自該指令資訊源之第一線程離散指令資訊量之分配，並決定從該指令資訊源所分配之離散指令資訊量計數是否超過一第三預定臨界值。
- 13.如申請專利範圍第1項之方法，包括在開始對來自該指令資訊源之第二線程做指令資訊分配之前，將一流動標記插入含來自該指令資訊源分配之第

一線程指令資訊之指令串。

- 14.如申請專利範圍第1項之方法，包括決定第一線程之一第四預定指令資訊量是否已從該指令資訊源分配，且若如此的話，則偵測將從指令資訊源分配之第一線程指令資訊內之轉移指令，且響應於轉移指令之偵測，開始對來自該指令資訊源第二線程指令資訊之分配。
- 15.如申請專利範圍第14項之方法，包含偵測來自指令資訊源第一線程之一第四預定指令資訊量之分配，響應於對該第四預定指令資訊量分配之偵測，檢查接著將受分配之第一線程指令資訊以識別一轉移指令，並響應於對即將受分配之第一線程指令資訊內轉移指令之識別，開始對來自該指令資訊源第二線程指令資訊之分配。
- 16.如申請專利範圍第15項之方法，其中對第一線程之第四預定指令資訊量分配之偵測，包含計數來自該指令資訊源第一線程離散指令資訊量之分配，並決定該離散資訊量之計數何時超過一第四預定臨界值。
- 17.如申請專利範圍第1項之方法，包括偵測該多線程處理器之處理器管路中第一線程之停滯狀況，偵測在接著該停滯狀況之偵測後何時已經歷了一第一預定時間間隔，並響應於該第一預定時間間隔經歷之偵測，開始對來自該指令資訊源第二線程指令資訊之分配。
- 18.如申請專利範圍第1項之方法，包括偵測在處理器管路中從一上游來源進入該指令資訊源並無第一線程指令資訊之流動，偵測在接著無該指令資訊流動之偵測後何時已經歷了一第二預定時間間隔，並響應於該第二預定時間間隔經歷之偵測，開始對來自該指令資訊源第二線程指令資訊之分配。

19.如申請專利範圍第1項之方法，包括偵測在該指令資訊源收到之第一線程指令資訊中之流動標記，並響應於該流動標記之偵測，開始對來自該指令資訊源第二線程指令資訊之分配。

20.如申請專利範圍第1項之方法，其中該流動標記指出在該指令資訊源之處理器管路上游中之一位置發生頁次遺漏。

圖式簡單說明：

圖1為可實現本發明之處理器示範管路之方塊圖。

圖2示出可實現本發明之一般用途多線程微處理器形式之處理器示範具體實施例之方塊圖。

圖3為示於圖2之一般用途微處理器內之微指令轉換引擎之示範具體實施例之細部架構方塊圖。

圖4示出一示範的多線程微處理器之選定的組件方塊圖，且特別地說明如同邏輯上分割以併入多線程兩提供緩衝能力之各種功能單元。

圖5示出根據本發明的一個具體實施例之示範指令串緩衝器之細部結構及架構方塊圖。

圖6示出根據本發明示範具體實施例之線程切換控制邏輯之邏輯組件方塊圖。

圖7示出根據本發明示範具體實施例在多線程處理器內之多線程閒置時，決定起始線程之方法流程圖。

圖8示出根據本發明示範具體實施例對來自一指令源之目前線程之轉移指令分配，在多線程處理器內進行線程切

換作業之方法流程圖。

圖9示出根據本發明示範具體實施例對發生長期等待時間停滯時，在多線程處理器內進行線程切換作業之方法流程圖。

圖10示出根據本發明示範具體實施例在發生內部管路清除時，在多線程處理器內進行線程切換作業之方法流程圖。

圖11示出根據本發明示範具體實施例在發生對一特定線程「無資料流動」狀況時，在多線程處理器內進行線程切換作業之方法流程圖。

圖12示出根據本發明示範具體實施例在從一指令串緩衝器至一指令預解碼器對一特定線程之預定指令資訊量之分配時，在多線程處理器內進行線程切換作業之方法流程圖。

圖13示出根據本發明示範具體實施例在發生外部管路清除時，在多線程處理器內進行線程切換作業之方法流程圖。

圖14示出根據本發明示範具體實施例在偵測目前線程之指令串內之插入的流程時，在多線程處理器內進行線程切換作業之方法流程圖。

圖15A及15B為顯示根據本發明之線程切換控制邏輯之個別示範具體實施例結構之概要示意圖，在圖6中係以方塊圖形式示出的。

圖16為根據本發明示範具體實施例將一流程標記(或插入的流程)插入一指令串之邏輯概要示意圖。

(4)

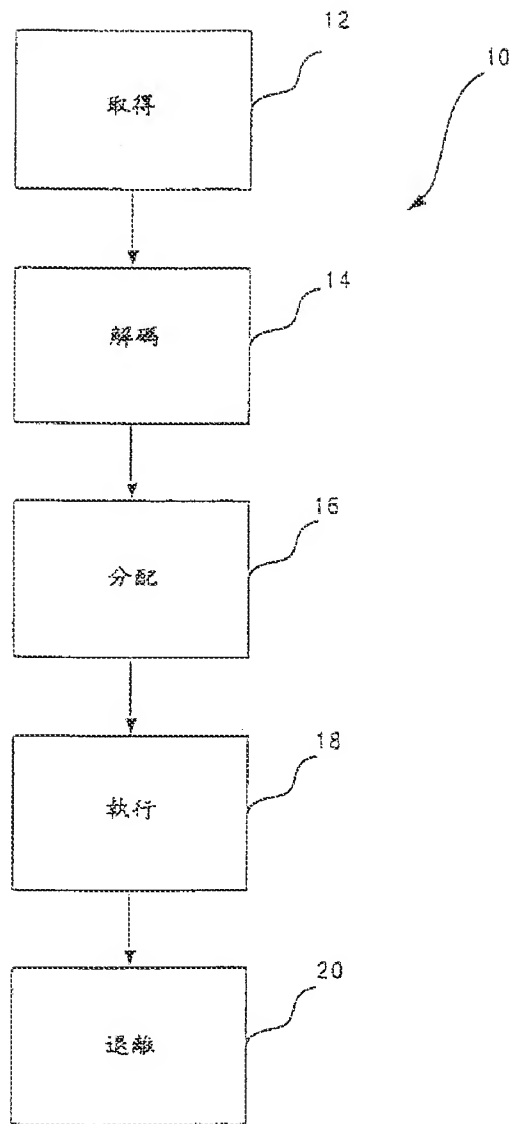


圖 1

(5)

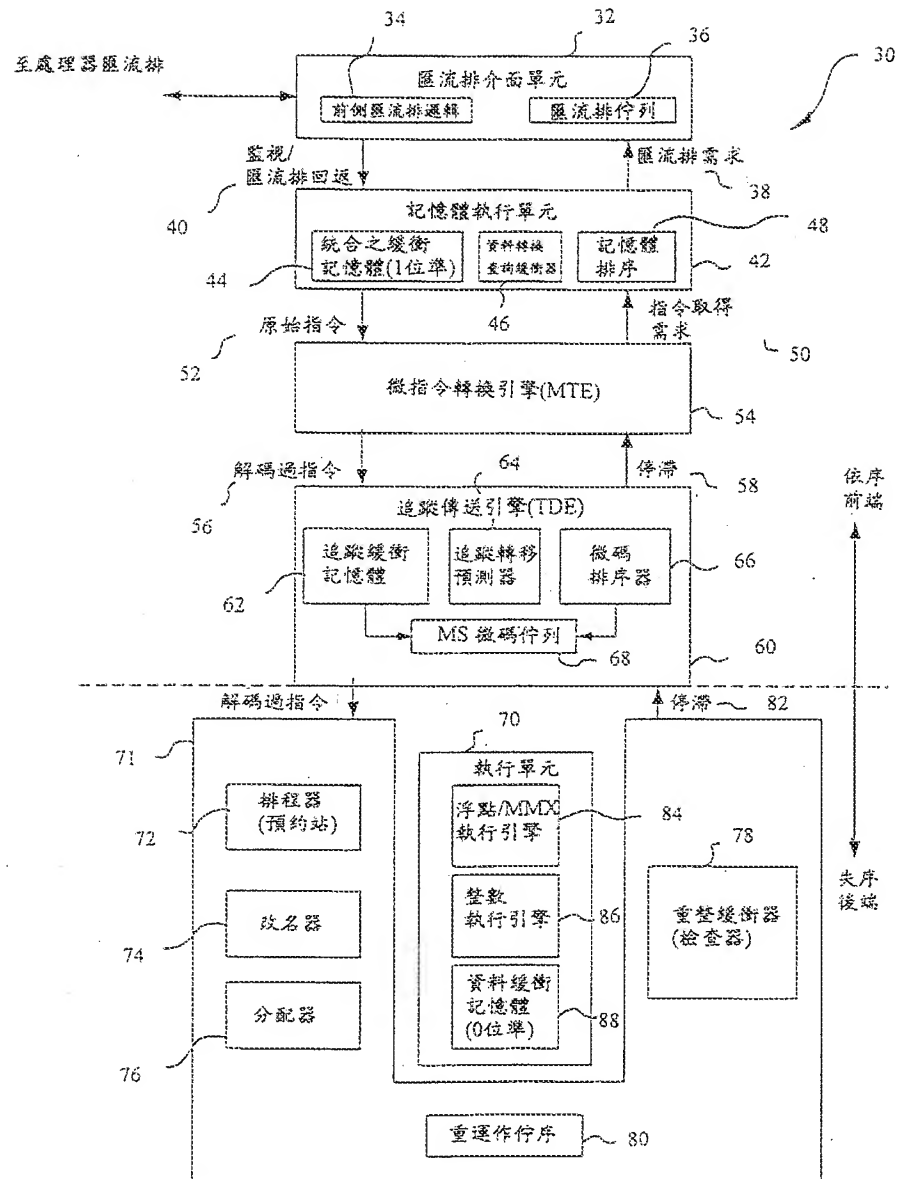


圖 2

(6)

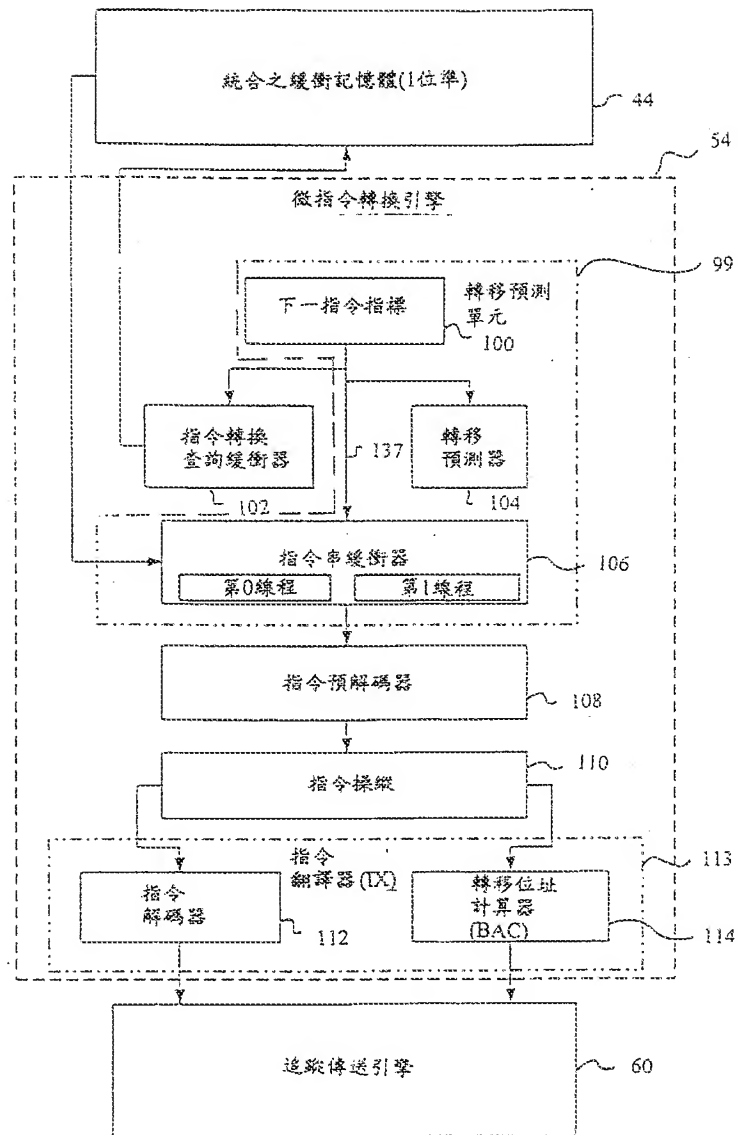


圖 3

(7)

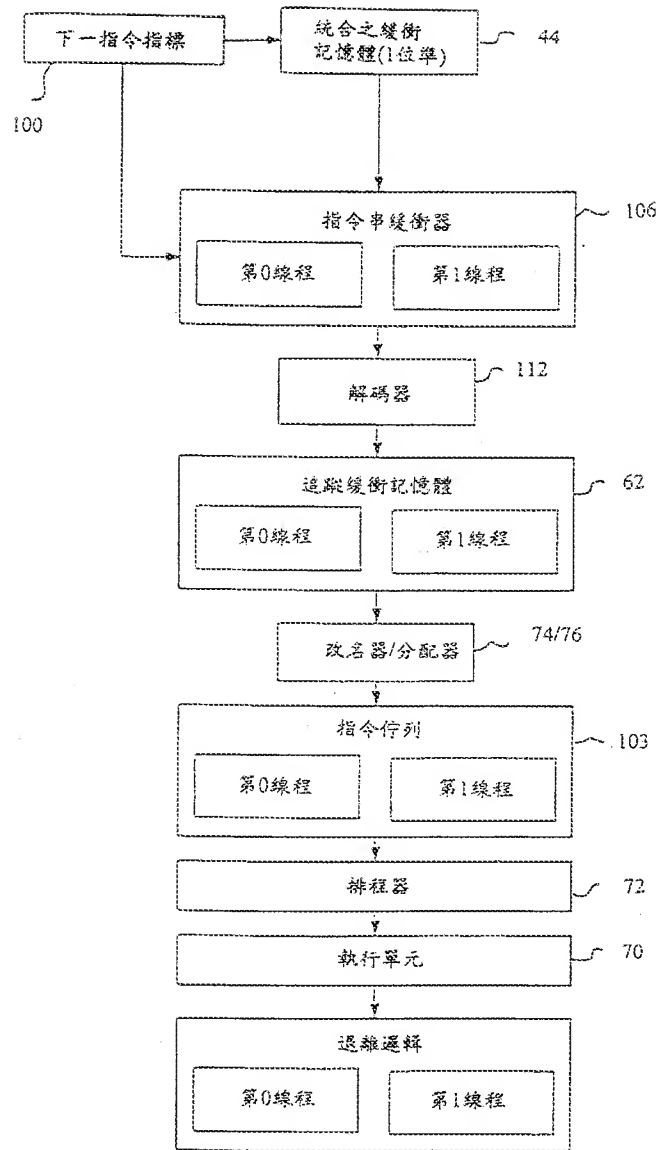


圖 4

(8)

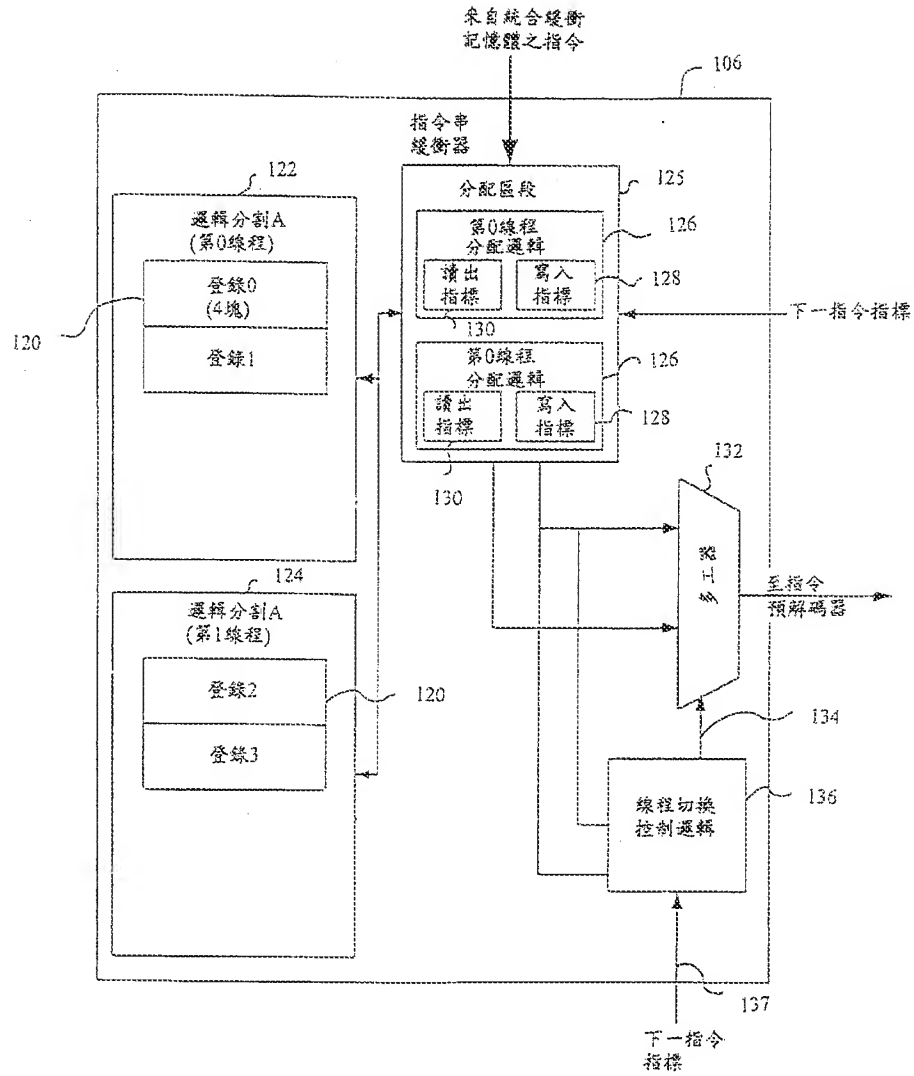


圖 5

(9)

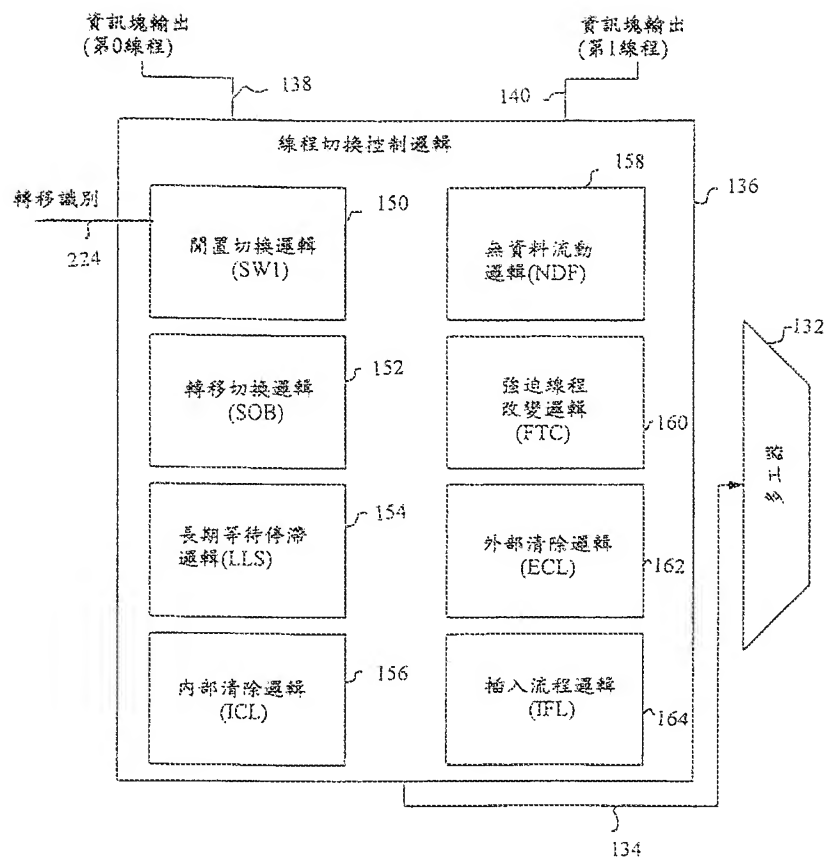


圖 6

(10)

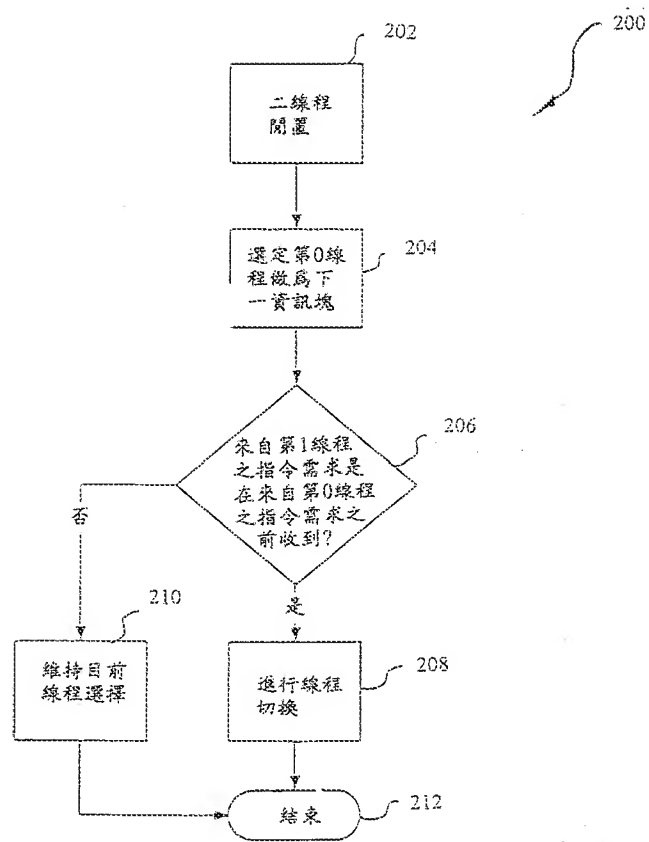


圖 7

(11)

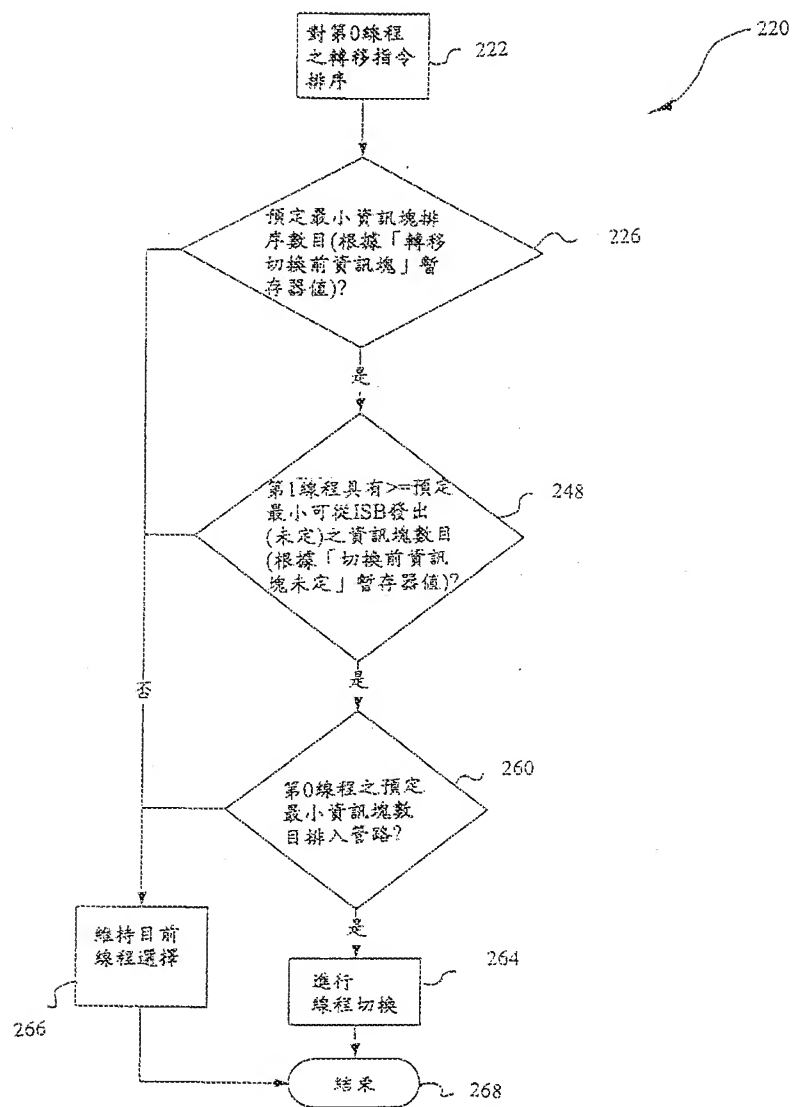


圖 8

(12)

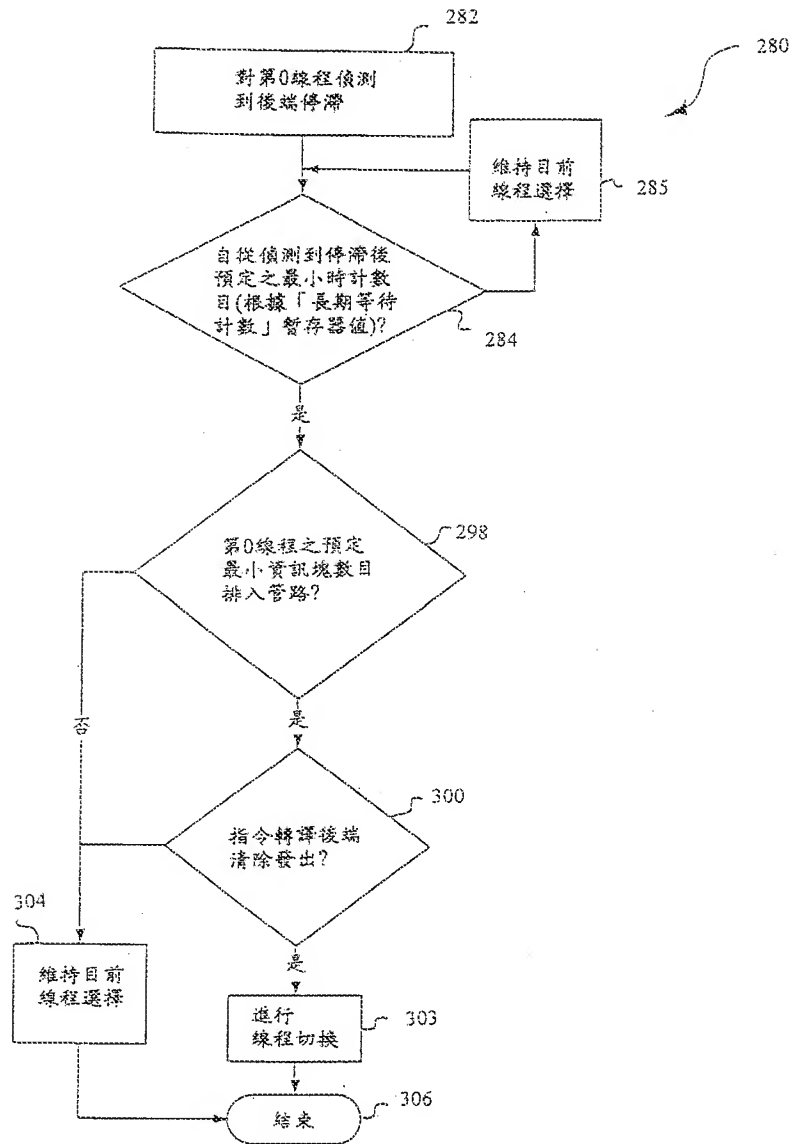


圖 9

(13)

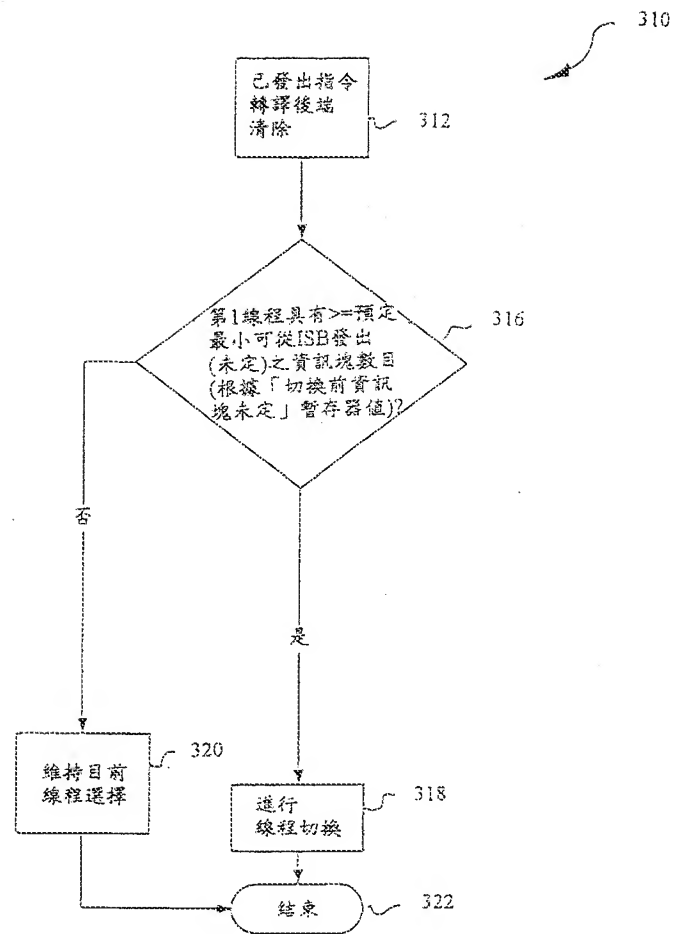


圖 10

(14)

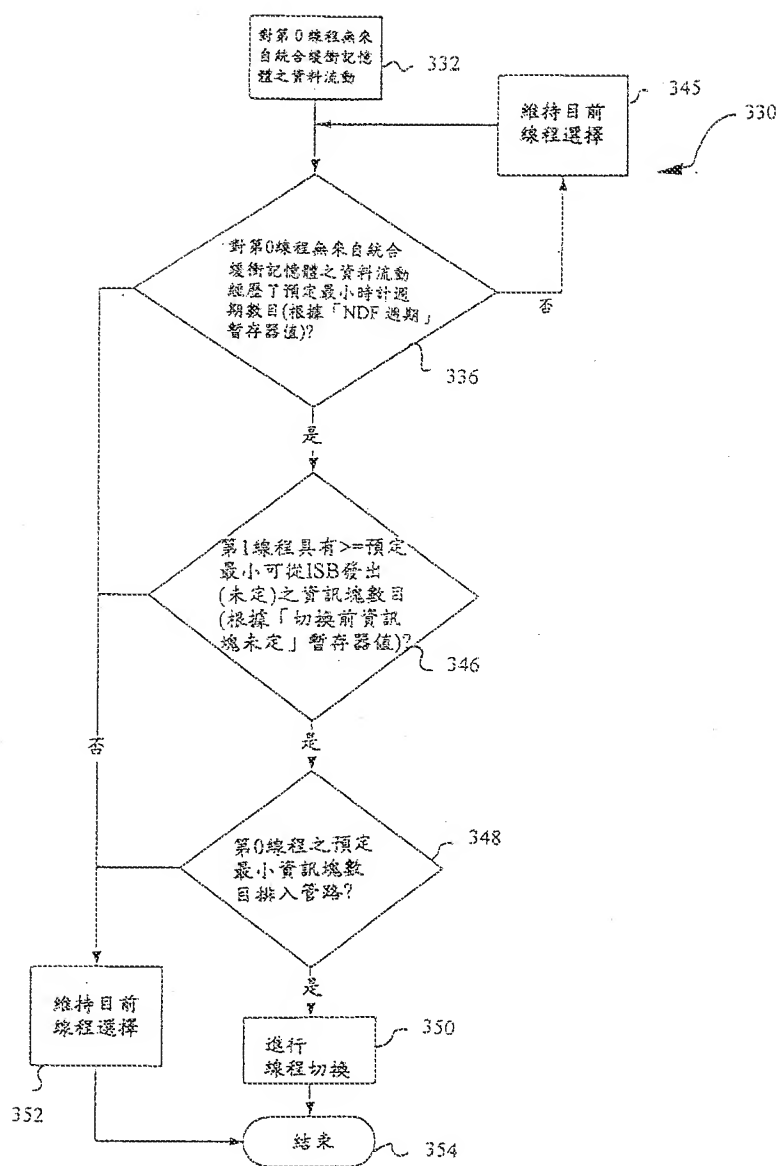


圖 11

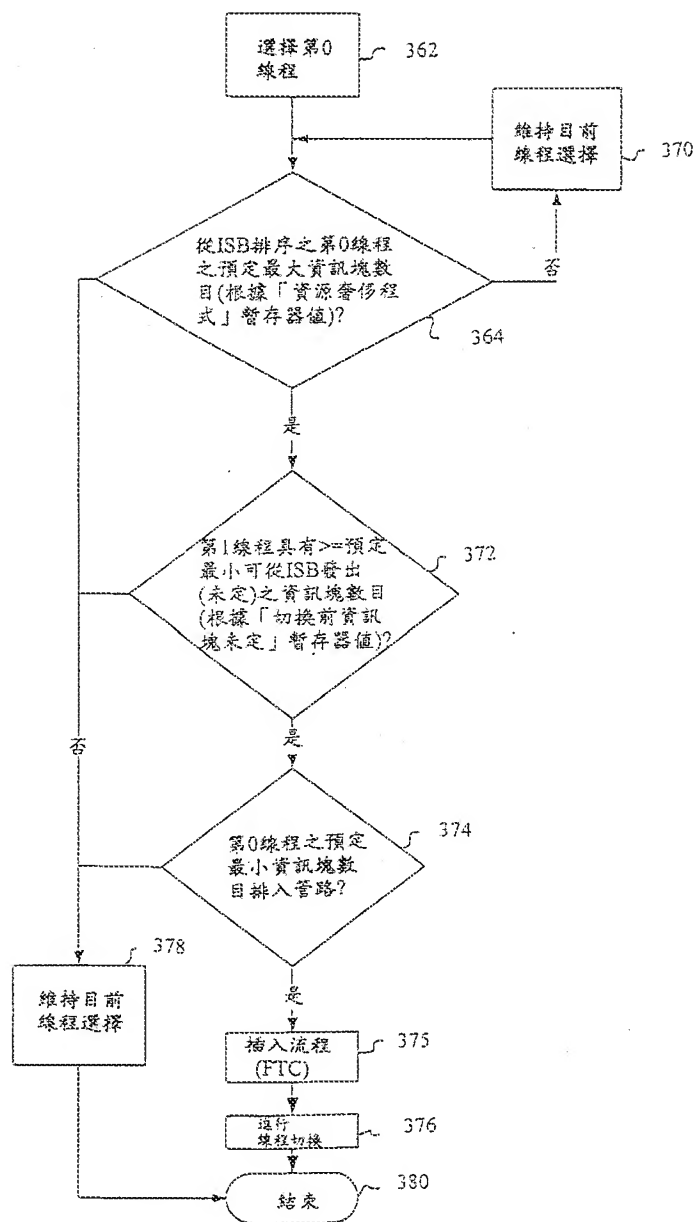


圖 12

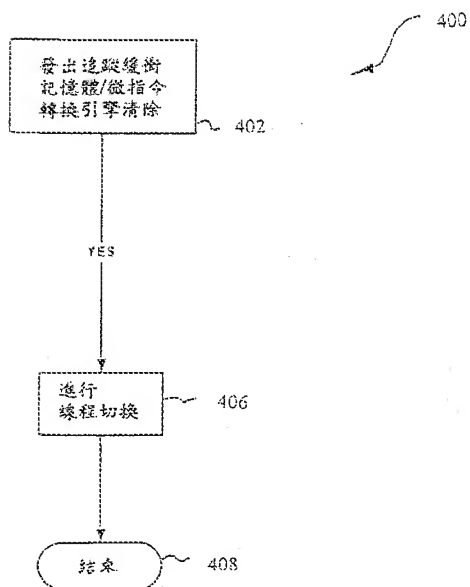


圖 13

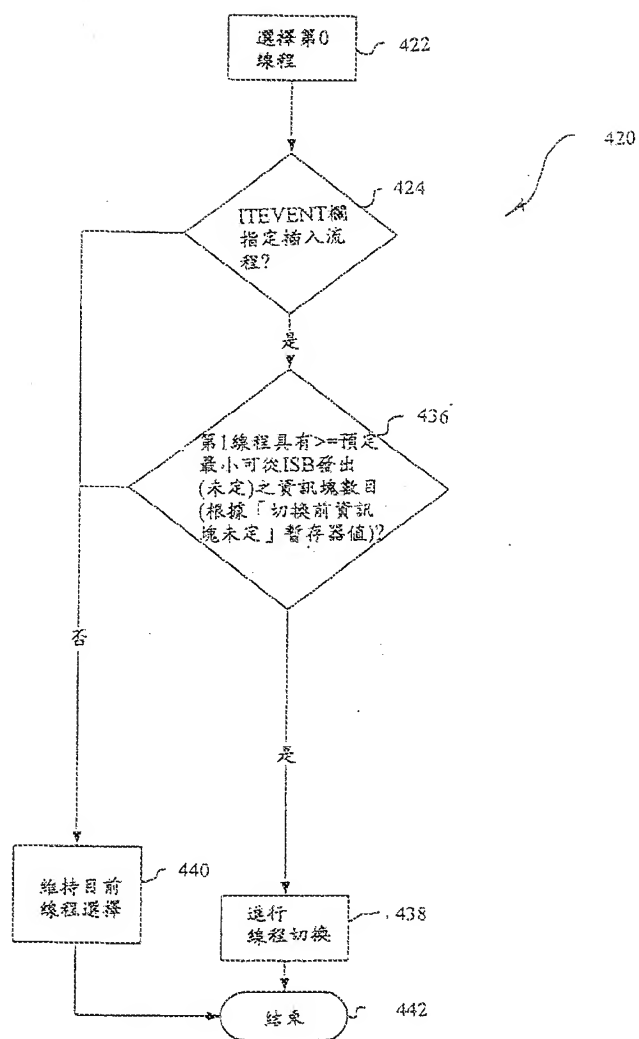


圖 14

(17)

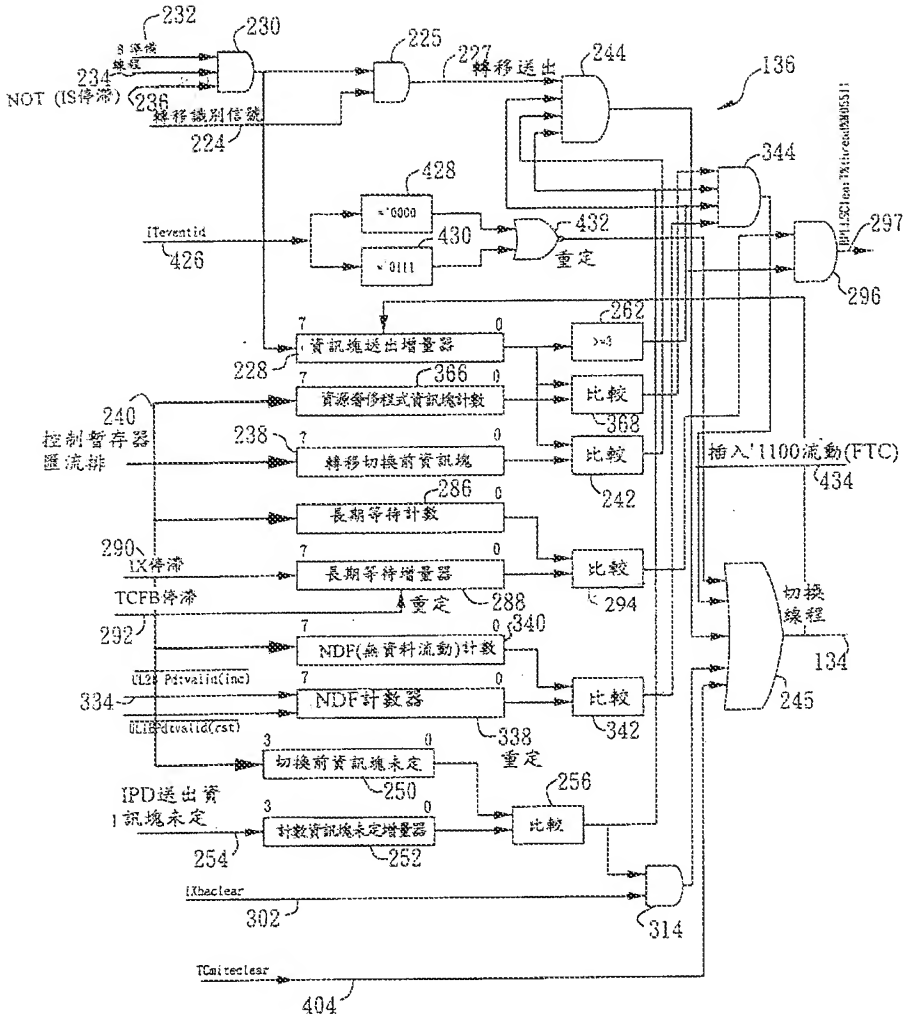


圖 15A

(18)

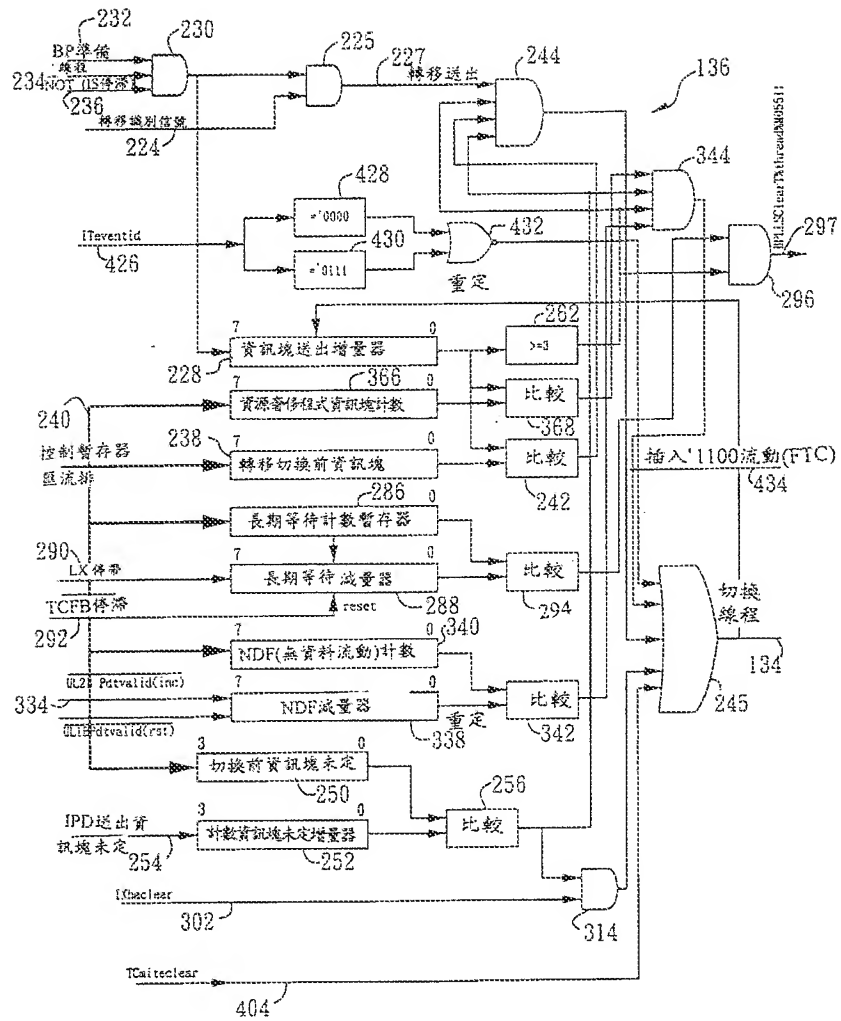


圖 15B

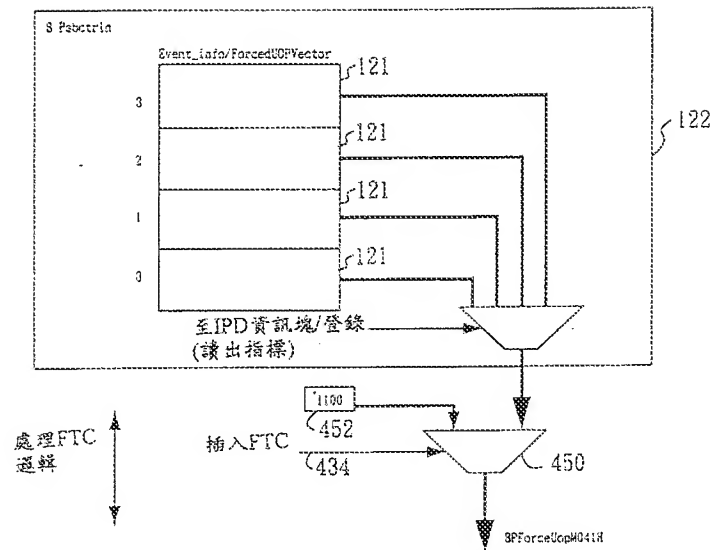


圖 16

